

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-099310

(43)Date of publication of application : 11.04.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 05-330777

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1993

(72)Inventor : KOU RISHIYOU

(30)Priority

Priority number : 05121052

Priority date : 24.05.1993

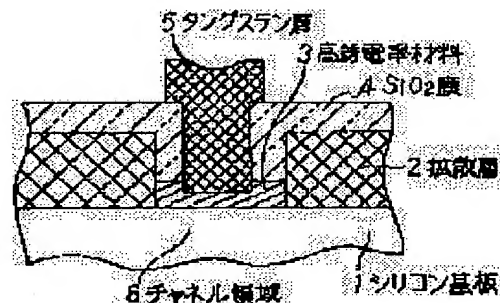
Priority country : JP

(54) FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent contamination to device itself and a production unit from a high-permittivity material with a thermal process by increasing gate capacitance without augmenting parasitic capacitance between a gate electrode and a diffusion layer, inhibiting a short channel effect and forming a gate oxide film consisting of the high-permittivity material and the gate electrode after the formation of the diffusion layer in a recessed type transistor.

CONSTITUTION: In a transistor with diffusion layers 2 projected to sections upper than a silicon substrate 1, insulating films 4 composed of SiO₂ are formed on the side faces of a gate insulating film made up of a high-permittivity material 3 and a gate electrode in the lower section of the gate electrode formed by a tungsten layer 5. The structure is manufactured by burying the insulating film and the gate electrode after the shape of a recessed type is formed. The structure is manufactured by using a self-alignment process employing a dummy pattern, the formation of the diffusion layer by a thermal diffusion from BSG or PSG, etc.



LEGAL STATUS

[Date of request for examination]

16.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2734961

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99310

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/ 78	3 0 1 G
		7514-4M		3 0 1 V

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願平5-330777

(22) 出願日 平成5年(1993)12月27日

(31) 優先権主張番号 特願平5-121052

(32) 優先日 平5(1993)5月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黄 例昭

東京都港区芝五丁目7番1号 日本電気株式会社内

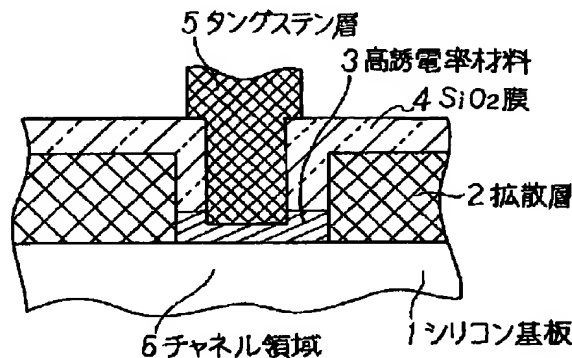
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 電界効果型トランジスタとその製造方法

(57) 【要約】

【目的】 凹型トランジスタにおいて、ゲート電極及び拡散層間の寄生容量を増加させずに、ゲート容量を増加させ、短チャネル効果を抑制する。拡散層形成後に高誘電率材料からなるゲート酸化膜及びゲート電極を形成することにより、熱工程に伴う、高誘電率材料からデバイス自身及び製造装置への汚染を防ぐ。

【構成】 シリコン基板1から上に突起した拡散層2を持つトランジスタにおいて、タングステン層5により形成されたゲート電極の下部に高誘電率材料3よりなるゲート絶縁膜、ゲート電極の側面にSiO₂よりなる絶縁膜4を設ける。この構造は凹型の形状を作製後に絶縁膜、ゲート電極を埋め込んで製造する。また、この構造はダミーパターンを用いた自己整合プロセス、BSG、PSGからの熱拡散による拡散層の形成等を用いて製造する。



1

【特許請求の範囲】

【請求項1】 拡散層が基板より上方に突起する電界効果型トランジスタにおいて、ゲート電極の下部が高誘電率材料よりなる第1の絶縁膜を介して基板に相対し、かつ第1の絶縁膜はゲート電極の端よりも拡散層側に延びており、ゲート電極の側面と拡散層が第2の絶縁膜を介して相対し、第2の絶縁膜は第1の絶縁膜に比べ誘電率の低い材料からなるか、あるいは第1の絶縁膜に比べ誘電率の低い材料からなる膜を含む複合膜からなることを特徴とする電界効果型トランジスタ。

【請求項2】 拡散層が基板より上方に突起する電界効果型トランジスタにおいて、ゲート電極の下部が高誘電率材料と低誘電率材料の複合膜よりなる第1の絶縁膜を介して基板に相対し、かつ第1の絶縁膜はゲート電極の端よりも拡散層側に延びており、ゲート電極の側面と拡散層が第2の絶縁膜を介して相対し、第2の絶縁膜が低誘電率材料よりなるか、第1の絶縁膜に比べ低誘電率材料の膜厚の大きい複合膜よりなることを特徴とする電界効果型トランジスタ。

【請求項3】 請求項1または2記載の電界効果型トランジスタにおいて、第1の絶縁膜がゲート電極の端よりも拡散層側に延びないが、第1の絶縁膜が拡散層もしくはLDD領域に接していることを特徴とする電界効果型トランジスタ。

【請求項4】 凹型の形状を持つ半導体基板の側壁部に、誘電率の低い材料よりなる第1の絶縁膜を形成したのち、第1の絶縁膜をマスクに、半導体基板を等方的にエッチングし、得られたくぼみの表面に高誘電率材料あるいは高誘電率材料と低誘電率材料の複合膜よりなるゲート絶縁膜を形成し、続いてゲート絶縁膜の上部に導電性材料を埋め込むことによりゲート電極を形成することを特徴とする電界効果型トランジスタの製造方法。

【請求項5】 側壁部に傾斜を持つ凹型の半導体基板の表面に、低誘電率材料よりなる絶縁膜を等方的に堆積したのち、異方性エッチバックを行い底面の半導体基板を露出させたのち、その表面に高誘電率材料あるいは高誘電率材料と低誘電率材料の複合膜よりなるゲート絶縁膜を形成し、続いてゲート絶縁膜の上部に導電性材料を埋め込むことによりゲート電極を形成することを特徴とする電界効果型トランジスタの製造方法。

【請求項6】 半導体基板上にダミーパターンを設け、このダミーパターンをマスクにイオン注入あるいは不純物拡散を行うことにより、LDD領域と拡散層の両方または拡散層だけを設け、続いて拡散層、LDD領域、ダミーパターンをスペーサ物質の堆積により覆ったのちに、ダミーパターン上部においてスペーサ物質に開口部を設け、開口部からのエッチャントの導入によりダミーパターンを選択的に除去して基板を露出させ、その表面にゲート絶縁膜を形成し、ダミーパターンを除去して得られた開口部に導電性材料を埋め込むことにより、ゲート電

2

極を形成することを特徴とする電界効果型トランジスタの製造方法。

【請求項7】 半導体基板上にBSG、BPSGまたはPSGを堆積したのち、チャンネルを形成する領域においてこれら除去してスリット状の領域を設けたのち、BSG、BPSGまたはPSGから半導体基板へ不純物を拡散し拡散層を形成し、前記スリット状の領域の基板表面にゲート絶縁膜を形成し、また前記スリット状の領域に導電性材料を埋め込みゲート電極を形成することを特徴とする電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は論理回路、メモリ等の高速性、高集積性を要する半導体集積回路を構成する電界効果型トランジスタとその製造方法に関する。

【0002】

【従来の技術】 微細な電界効果型トランジスタにおいて発生する短チャンネル効果を、拡散層の接合を浅くすることにより抑制できることを、ブルースらがアイ・イー・イー・イー・エレクトロニクス・レビュー、第1巻1ページ(Brews, IEEEEDL Vol. 1 P. 1)に示している。また、大村らは、図19に示すSOIトランジスタにおいて、SOI層を薄くすることにより浅い拡散層接合を形成し、短チャンネル効果が抑制できることを、1992アイ・イー・ディー・エム・テクニカルダイジェスト、615ページ(Omura, 1992 IEDM Tech. Dig. P. 615)に示している。なお図19において、91はゲート電極、92はゲート酸化膜、93はSOI層、94は埋め込み酸化膜、95はシリコン基板、96はチャンネル領域、97は拡散層である。

【0003】 また、電界効果型トランジスタのゲート絶縁膜に高誘電率材料を用いる方法が、桑田らにより特開昭61-67964号公報(図20)に、加藤らにより特開平2-273934号公報(図21)に、飯田らにより特開平3-46267号公報(図22)に、それぞれ示されている。

【0004】 なお図20において、101は半導体層、102はソース電極、103はドレイン電極、104は錫チタン酸バリウム層、105は誘電体層、106はタンタル酸バリウム層、107はゲート電極、108は絶縁基板である。

【0005】 また図21において、111はシリコン基板、112はフィールド酸化膜、113は拡散層、114はタンタルシリサイド膜、115はSiO₂膜、116はTa₂O₅膜、117はゲート電極、118は第2のSiO₂膜、119は配線電極である。

【0006】 また図22において、121はシリコン基板、122は拡散層、123はSiO₂膜、124はTa₂O₅膜、125はアルミ層である。

3

4

【0007】また凹型の形状を持つ電界効果型トランジスタが、武田によりホットキャリア効果（日経マグロウヒル社、1987年）、137ページに示されている。その製造方法を図23から図25に示す。これは半導体基板に拡散層を設けたのち、チャンネルを形成する領域の拡散層を除去して凹型の形状を形成したのち、溝状の領域にゲート絶縁膜、ゲート電極を埋め込むものである。

【0008】なお図23～図25において、131はシリコン基板、132は拡散層、133はSiO₂膜、134はチャンネル領域、135はゲート電極、136はゲート絶縁膜である。

*【0009】

【発明が解決しようとする課題】電界効果型トランジスタの微細化に伴い発生する短チャネル効果は、拡散層の接合を浅くすることにより抑制できるが、これとともにゲート絶縁膜を薄くすることによる抑制も行わなければならない。簡単のため、点電荷を用いたSOIMOSFETのモデルを図26に示す。このモデルにおいて、拡散層の接合深さがゼロである極限でのSOIMOSFETの表面ポテンシャルφを求めると、

【0010】

*【数1】

$$\phi = V_d / \log(6T_{ox}) \times (\log \sqrt{x^2 + (6T_{ox})^2} - \log(x))$$

【0011】となる。ここで、V_dはドレイン電圧、T_{ox}はゲート酸化膜厚、xはドレインからの距離である。この式から、接合を極限まで薄くしても表面ポテンシャルはドレイン電界に依存する正の値をとる。すなわち、拡散層の接合深さがゼロであっても、表面ポテンシャルはドレイン電界の影響を受ける。つまり接合を極限まで薄くしても、ドレイン電界に起因する短チャネル効果は除去しきれない。従って、短チャネル効果の抑制にはもう一つの方法であるゲート酸化膜厚の低減が必要である。

【0012】しかし、ゲート酸化膜厚を低減すると絶縁耐圧が低下する。これを防ぐためには高誘電率材料をゲート絶縁膜に用いて、半導体基板もしくはSOI基板を形成する半導体層、埋め込み絶縁膜層の誘電率に対するゲート絶縁膜の誘電率の比を上げ、等価的にゲート酸化膜厚を低下させる方法が有効である。

【0013】高誘電率材料の多くは金属酸化物であり、金属元素によるデバイス自体及びプロセス装置への汚染に配慮すると拡散層形成時のゲート絶縁膜を通したイオン注入、あるいはゲート絶縁膜形成後の熱処理は避けたい。従って、拡散層形成後にゲート絶縁膜及びゲート電極を形成することが望ましい。この場合、ゲート電極をマスクにイオン注入をして拡散層を自己整合させることができないため、これに替わる自己整合プロセスが必要である。

【0014】図23から図25に示した凹型のトランジスタにおいては、その製造方法において、拡散層132を予め作製したのちに、拡散層132にはさまれたチャンネル領域134に絶縁膜136、ゲート電極135を埋め込む。従って、拡散層を形成した後に自己整合的に、ゲート絶縁膜、ゲート電極を形成することができる。しかし、ゲート絶縁膜に高誘電率材料を用いた場合、図27にC_{ox1}と示した、ゲート電極と拡散層間の寄生容量が増加し、回路の高速性が失われる。特に図27に示したようなSOI構造を持つ場合、拡散層-基板間の容量が小さいために、C_{ox1}のような寄生容量は他の寄生容量に比べて無視できなくなる。

【0015】なお図27において、171は埋め込み酸化膜、172は拡散層、173はSiO₂膜、174はオフセット領域、175はゲート電極、176はチャンネル領域である。

【0016】図27において、側壁部の絶縁膜厚T_{ox2}をゲート絶縁膜厚T_{ox1}に比べて、大きくすると寄生容量C_{ox1}を小さくできる。しかし、それとともにゲートとオフセット領域間の容量C_{ox2}が小さくなり、オフセット領域174における寄生抵抗が増加する。

【0017】また、側壁部の絶縁膜下まで拡散層を延ばすと、オフセット領域174の寄生抵抗は減るが、両拡散層が接近し短チャネル効果に対して不利になる。

【0018】本発明の目的は、凹型トランジスタにおいて、ゲート電極及び拡散層間の寄生容量を増加させずに、ゲート容量を増加させ、短チャネル効果を抑制することにある。

【0019】本発明の他の目的は、拡散層形成後に高誘電率材料からなるゲート酸化膜及びゲート電極を形成することにより、熱工程に伴う、高誘電率材料からデバイス自身及び製造装置への汚染を防ぐことにある。

【0020】

【課題を解決するための手段】第1の発明は、拡散層が基板より上方に突起する電界効果型トランジスタにおいて、ゲート電極の下部が高誘電率材料よりなる第1の絶縁膜を介して基板に相対し、かつ第1の絶縁膜はゲート電極の端よりも拡散層側に延びており、ゲート電極の側面と拡散層が第2の絶縁膜を介して相対し、第2の絶縁膜は第1の絶縁膜に比べ誘電率の低い材料からなるか、あるいは第1の絶縁膜に比べ誘電率の低い材料からなる膜を含む複合膜からなることを特徴とする。

【0021】第2の発明は、拡散層が基板より上方に突起する電界効果型トランジスタにおいて、ゲート電極の下部が高誘電率材料と低誘電率材料の複合膜よりなる第1の絶縁膜を介して基板に相対し、かつ第1の絶縁膜はゲート電極の端よりも拡散層側に延びており、ゲート電極の側面と拡散層が第2の絶縁膜を介して相対し、第2

5

の絶縁膜が低誘電率材料よりなるか、第1の絶縁膜に比べ低誘電率材料の膜厚の大きい複合膜よりなることを特徴とする。

【0022】第3の発明は、第1または第2の発明において、第1の絶縁膜がゲート電極の端よりも拡散層側に延びないが、第1の絶縁膜が拡散層もしくはLDD領域に接していることを特徴とする。

【0023】第4の発明の電界効果型トランジスタの製造方法は、凹型の形状を持つ半導体基板の側壁部に、誘電率の低い材料よりなる第1の絶縁膜を形成したのち、第1の絶縁膜をマスクに、半導体基板を等方的にエッチングし、得られたくぼみの表面に高誘電率材料あるいは高誘電率材料と低誘電率材料の複合膜よりなるゲート絶縁膜を形成し、続いてゲート絶縁膜の上部に導電性材料を埋め込むことによりゲート電極を形成することを特徴とする。

【0024】第5の発明の電界効果型トランジスタの製造方法は、側壁部に傾斜を持つ凹型の半導体基板の表面に、低誘電率材料よりなる絶縁膜を等方的に堆積したのち、異方性エッチバックを行い底面の半導体基板を露出させたのち、その表面に高誘電率材料あるいは高誘電率材料と低誘電率材料の複合膜よりなるゲート絶縁膜を形成し、続いてゲート絶縁膜の上部に導電性材料を埋め込むことによりゲート電極を形成することを特徴とする。

【0025】第6の発明の電界効果型トランジスタの製造方法は、半導体基板上にダミーパターンを設け、このダミーパターンをマスクにイオン注入あるいは不純物拡散を行うことにより、LDD領域と拡散層の両方または拡散層だけを設け、続いて拡散層、LDD領域、ダミーパターンをスペーサ物質の堆積により覆ったのちに、ダミーパターン上部においてスペーサ物質に開口部を設け、開口部からのエッチャントの導入によりダミーパターンを選択的に除去して基板を露出させ、その表面にゲート絶縁膜を形成し、ダミーパターンを除去して得られた開口部に導電性材料を埋め込むことにより、ゲート電極を形成することを特徴とする。

【0026】第7の発明の電界効果型トランジスタの製造方法は、半導体基板上にBSG、BP SGまたはPSGを堆積したのち、チャンネルを形成する領域においてこれらを除去してスリット状の領域を設けたのち、BSG、BP SGまたはPSGから半導体基板へ不純物を拡散し拡散層を形成し、前記スリット状の領域の基板表面にゲート絶縁膜を形成し、また前記スリット状の領域に導電性材料を埋め込みゲート電極を形成することを特徴とする。

【0027】

【作用】ゲート絶縁膜の誘電率を上げると、図29に示す拡散層-基板表面間の容量C2に対して、基板表面-ゲート電極間の容量C1の比が大きくなる。そのため、容量分割の結果、拡散層-基板表面間の電位差が小さく

6

なる。これは、チャンネル領域表面に対するドレイン電界の影響が小さくなることを意味し、短チャンネル効果が抑制されることを意味する。

【0028】なお図29において、191はシリコン基板、192はチャンネル領域、193は拡散層、194は絶縁膜、195はゲート電極、196は容量C1、197は容量C2である。

【0029】図30に示す、SOIトランジスタにおいては、容量C2は埋め込み酸化膜の容量C21と、半導体層の容量C20の直列容量で表されるが、ゲート絶縁膜の誘電率を上げた場合の効果は同様に考えることができる。

【0030】なお図30において、198は埋め込み酸化膜、199は半導体層、200は容量C20、201は容量C21である。

【0031】第1、第2、第3の発明においては、ゲート電極の下部及び下部側方に誘電率の大きい材料、ゲート電極の側面に誘電率の低い材料からなる絶縁膜を設ける。これにより、図28における容量Cox3の増加による短チャンネル効果の抑制、容量Cox2の増加によるオフセット部の寄生抵抗の抑制、容量Cox1の低減による寄生容量の抑制を同時に満たすことができる。なお図28において、177は高誘電率材料を示している。

【0032】第4、第5、第6、第7の発明による製造方法においては、拡散層形成後にゲート電極、ゲート絶縁膜を形成するため、高誘電率材料に含まれる金属元素による、デバイス自体及びプロセス装置への汚染を防ぎ、かつ拡散層、ゲート絶縁膜、ゲート電極を自己整合的に形成することができる。

【0033】第4の発明の製造方法においては、拡散層側壁部の低誘電率材料の下部において、半導体基板を等方的にエッチングして得たくぼみの表面に高誘電率材料を埋め込んだのち、続いてゲート電極を形成する。これにより、誘電率の異なる2種類の絶縁材料を、自己整合的に第1、第2、第3の発明の構造を満たすように配置することができる。

【0034】第5の発明の製造方法においては、側壁部に傾斜を持つ凹型の半導体装置の側壁にくさび型の低誘電率材料よりなる絶縁膜を形成したのち、ゲート絶縁膜、ゲート電極を形成する。これにより誘電率の異なる2種類の絶縁材料を、自己整合的に第3の発明の構造を満たすように配置することができる。

【0035】第6の発明の製造方法を用いて、ダミーパターン除去後に基板をエッチングして凹型の構造を形成すると、図23～図25の従来例のように、基板上に拡散層を全面に形成したのちにチャンネル部の拡散層を除去し、凹型の構造を形成する場合に比較して、段差を小さくできる利点がある。これは、従来例においては段差が必ず拡散層よりも厚くなるのに対して、本発明においては、段差を拡散層の厚さより小さくできるためである。

7

これは従来例においては、チャネルが形成される領域において、一旦形成された拡散層を除去することにより凹型構造が造られるのに対して、本発明においては、チャネル部にはもとより拡散層が形成されず、凹型構造の形成が、拡散層を除去する工程の影響を受けないことによる。

【0036】第6の発明の製造方法において、ダミーパターンの除去後に基板をエッチングしない場合には、凹型構造の突出部が図12に示すように絶縁膜になるため、図27のCox1に相当する寄生容量を著しく低減できると同時に、図23～図25の従来例と同じく、拡散層形成後にゲート酸化膜、ゲート電極を自己整合的に形成できる。

【0037】第7の発明の製造方法においては、BSG、BPSGまたはPSGからの不純物の拡散により拡散層を形成するため、凹型構造の突出部が図15に示すように絶縁膜になるため、図27のCox1に相当する寄生容量を著しく低減できると同時に、図23～図25の従来例と同じく、拡散層形成後にゲート酸化膜、ゲート電極を自己整合的に形成できる。

【0038】

【実施例】

(実施例1) 第1の発明に係わる実施例を図1に示す。p型のシリコン基板1の表面に幅0.2 μ mのチャネル領域6をはさんで、高さ0.1 μ mのn⁺拡散層2を基板表面から上に出た形に設ける。チャネル領域6の表面、両拡散層2にはさまれた領域に高誘電率材料3によるゲート絶縁膜を設ける。ここで、高誘電率材料は例えばTa₂O₅とし、厚さは300オングストロームとする。高誘電率材料3の上方においては、拡散層2の側壁に接するように厚さ300オングストロームのSiO₂膜4を設ける。また、拡散層2の上部にも厚さ300オングストロームのSiO₂膜4を設ける。高誘電率材料3及びSiO₂膜4に囲まれたスリット状の領域にタングステン層5を埋め込みゲート電極とする。但し、SiO₂膜4の膜厚は拡散層2の側壁及び上部で異なってもよい。

【0039】(実施例2) 第2の発明に係わる実施例を図2に示す。この実施例においては、図1における高誘電率材料を、厚さ20オングストロームの第2のSiO₂膜7と厚さ280オングストロームの高誘電率材料3とよりなる複合膜に置き換える。

【0040】この構造においては、ゲート電極の下部に、高誘電率材料と低誘電率材料の複合膜を用いて、ゲート絶縁膜、チャネル界面の品質を従来と同等に保つことができる。

【0041】(実施例3) 第1の発明の構造を、第4の発明の製造方法または第6の発明の製造方法で製造する実施例を、図3～図7を参照して説明する。

【0042】図3に示すように、p型シリコン基板11

8

上に厚さ100オングストロームの第1のSiO₂膜13を熱酸化により形成後、厚さ2000オングストロームのSi₃N₄膜14を、幅0.2 μ mにRIEによりパターンニングし、ダミーパターンを形成する。続いて厚さ1000オングストロームの第2のSiO₂膜15をCVDにより全面に堆積し、続けて異方性エッチングを行うことにより、ダミーパターンに第2のSiO₂膜15による側壁を形成する。ダミーパターン及びSiO₂側壁をマスクにひ素を70keVで5 \times 10¹⁵cm⁻²イオン注入し、800℃で10分熱処理を行い、拡散層12を形成する。

【0043】次に図4に示すように、厚さ1000オングストロームの第3のSiO₂膜16をスペーサとしてCVDにより全面に堆積し、ダミーパターン上部の第3のSiO₂膜16をフォトリソグラフィ及びRIEで除去する。

【0044】次に図5に示すように、りん酸を用いてSi₃N₄膜14をエッチングし、除去した後、第1のSiO₂膜13を1:30の希ふっ酸によりエッチングし、除去する。第2のSiO₂膜15、第3のSiO₂膜16を、マスクにシリコン基板11をRIEにより異方的に500オングストロームエッチングする。次に厚さ200オングストロームの第4のSiO₂膜17をCVDにより堆積し、800℃で10分の熱処理を行い、RIEによりSiO₂膜17を異方的にエッチングし、SiO₂膜17による側壁を形成する。

【0045】次に図6に示すように、第3のSiO₂膜16及び第4のSiO₂膜17をマスクに塩酸ガスまたは塩素ガスによりシリコン基板11を等方的にエッチングし、第4のSiO₂膜17の下部で、拡散層12を露出させる。次にMOCVDによりTa₂O₅膜18を300オングストローム堆積する。

【0046】最後に図7に示すように、Ta₂O₅膜18で囲まれたスリット中にタングステン層19を埋め込み、パターンニングを行いゲート電極を形成する。

【0047】(実施例4) 第1の発明の構造を、第5の発明の製造方法で製造する実施例を、図8～図10を参照して説明する。

【0048】まず図8に示すように、シリコン基板21の表面にひ素を70keVで5 \times 10¹⁵cm⁻²イオン注入し、850℃で10分熱処理して拡散層を形成した後、CVDにより第1のSiO₂膜23を1000オングストローム堆積する。次にSiO₂膜23に幅0.3 μ mのスリットを、フォトリソグラフィ及びRIEにより設ける。

【0049】次に図9に示すように、CF₄及びCH₃を用いたRIEにより、第1のSiO₂膜23をマスクに、拡散層22をテーパエッチングする。次に全面にCVDにより第2のSiO₂膜24を1000オングストローム堆積し、1000オングストロームの異方性エ

ッチングをRIEにより行う。ここで、第2のSiO₂膜24よりなる側壁は、上部では1000オングストロームの厚さを持ち、下部ではくさび状に薄くなる。

【0050】次に図10に示すように、スパッタ、MOCVD等によりTa₂O₅膜25を300オングストローム堆積し、ゲート絶縁膜として、続けてタングステン層26をスパッタにより、Ta₂O₅膜25に囲まれたスリット中に埋め込み、パターニングし、ゲート電極を形成する。

【0051】(実施例5)第6の発明に係わる実施例を図11~図13に示す。

【0052】まず図11に示すように、p型シリコン基板31上に厚さ100オングストロームの第1のSiO₂膜33を熱酸化により形成後、厚さ2000オングストロームのSi₃N₄膜35を、幅0.2μmにRIEによりパターニングし、ダミーパターンを形成する。続いて厚さ1000オングストロームの第2のSiO₂膜34をCVDにより全面に堆積し、続けて異方性エッチングを行うことにより、ダミーパターンに第2のSiO₂膜34による側壁を形成する。ダミーパターン及びSiO₂側壁をマスクにヒ素を70keVで5×10¹⁵cm⁻²イオン注入し、800℃で10分熱処理を行い、拡散層32を形成する。

【0053】次に図12に示すように、厚さ1000オングストロームの第3のSiO₂膜36をスペーサとしてCVDにより全面に堆積し、ダミーパターン上部の第3のSiO₂膜36をフォトリソグラフィ及びRIEで除去したのち、りん酸を用いてSi₃N₄膜35をエッチングし、除去した後、第1のSiO₂膜33を1:30の希フッ酸によりエッチングして除去する。

【0054】最後に図13に示すように、MOCVDによりTa₂O₅膜37を300オングストローム堆積し、Ta₂O₅膜で囲まれたスリット中にタングステン層38を埋め込み、パターニングを行いゲート電極を形成する。

【0055】(実施例6)第7の発明に係わる実施例を図14および図15に示す。

【0056】図14に示すように、シリコン基板41、埋め込みSiO₂膜42、SOI層43からなるSOI基板上に厚さ1000オングストロームのPSG膜44をCVDにより堆積する。続いてPSG膜44に幅0.2μmのスリットをフォトリソグラフィとRIEを用いて形成する。

【0057】次に図15に示すように、900℃で10分間の熱処理を行い、PSG膜44からSOI層43へりんを拡散させ、拡散層47を形成する。Ta₂O₅膜45を300オングストロームスパッタ、もしくはCVDにより堆積し、次にタングステン層46をスパッタにより堆積したのち、パターニングを行う。

【0058】(実施例7)第2の発明に係わる発明で、

LDD構造及びSOI構造を持つ場合について図16を参照して説明する。

【0059】シリコン基板51、埋め込みSiO₂膜(酸化膜)52、SOI層53からなるSOI基板において、拡散層55、LDD領域54においては、SOI層53の厚さが1000オングストロームと厚く、チャネル領域56においては、SOI層53の厚さが100オングストロームと薄い。LDD領域54、拡散層55の上部には厚さ300オングストロームの第1のSiO₂膜59を設ける。

【0060】チャネル領域56の上部に厚さ300オングストロームのTa₂O₅膜57を設ける。LDD領域54と第1のSiO₂膜59の側壁に厚さ300オングストロームの第2のSiO₂膜58を設ける。第2のCVD SiO₂膜58とTa₂O₅膜57に囲まれたスリット上の領域にタングステン層60を埋め込み、ゲート電極とする。

【0061】(実施例8)第3の発明に該当し、第1の発明に該当しない実施例を図17に示す。図1の構造において、Ta₂O₅膜75がゲート電極(タングステン層)74の端から拡散層72側に延びているが、拡散層72には接していない。図中、71はシリコン基板、73はSiO₂膜である。

【0062】(実施例9)第1の発明に該当し、第3の発明に該当しない実施例を図18に示す。拡散層82は傾斜を持ち、p型シリコン基板81の表面から上部へ0.1μm突起する。SiO₂膜83は上部で厚く、下部で薄いくさび型の形状により、拡散層の傾斜した側面に重なる。拡散層82に挟まれたシリコン基板81上に厚さ200オングストロームのTa₂O₅膜85を設ける。SiO₂膜83に挟まれたスリット中にタングステン層84をゲート電極として埋め込む。この構造は高誘電率材料によるゲート絶縁膜85が拡散層82に接しており、拡散層82の上部とゲート電極84の間にはSiO₂膜83が存在するが、Ta₂O₅膜85は、タングステン層84により形成されるゲート電極の端からは、拡散層側に延びていない。

【0063】以上、各実施例を説明したが、これらの実施例は一例であり、形状、材料、使用プロセス、寸法、各発明の組合せまたは、他の構造、製造方法の組合せ等は、これら実施例のものに限定されない。

【0064】以上の実施例では、nチャネルトランジスタについて述べたが、pチャネルトランジスタでも良い。トランジスタはバルク基板、SOI基板のいずれに作製されても良い。また、エンハンスメント型もしくはディプリーション型トランジスタを実現する様々なチャネルイオン注入を行ってもよい。実施例中、拡散層とした領域はLDD領域等の構造を含むものであってもよい。

【0065】また、ゲート電極は金属でなく、金属シリ

サイド、ポリシリコン等であっても良い。ゲート電極は上部で横に広がるT字型でなく、例えば上記実施例のスリット中に完全に埋まった形でも良い。

【0066】高誘電率材料としては、 Ta_2O_5 以外の材料を用いてもよい。また請求項中の高誘電率材料、低誘電率材料は相対的にこの条件が満たされる関係にあればよい。高誘電率材料は金属酸化物に限らず、低誘電率材料として SiO_2 を選んだ場合、これよりも誘電率の高い材料である Si_3N_4 等としてもよい。

【0067】また、第1、第2、第3の発明の構造は基板上に横置きもしくは上下反転して配置されてもよい。

【0068】

【発明の効果】本発明は、以上に述べたように、ゲート絶縁膜に高誘電率材料を用いることにより、短チャネル効果を抑制できる。

【0069】また、寄生抵抗を増加させずに、ゲート電極及び拡散層間の容量を低減できる。

【0070】また、拡散層形成後にゲート酸化膜、ゲート電極を形成することにより、熱工程に伴う、高誘電率材料からデバイス自身及び製造装置への汚染を防げる。

【0071】従って、寄生容量、寄生抵抗が小さく、チャネル長の短いトランジスタが形成でき、LSIの高集積化、高速化に効果をもたらす。

【図面の簡単な説明】

【図1】第1の実施例を説明する図である。

【図2】第2の実施例を説明する図である。

【図3】第3の実施例を説明する図である。

【図4】第3の実施例を説明する図である。

【図5】第3の実施例を説明する図である。

【図6】第3の実施例を説明する図である。

【図7】第3の実施例を説明する図である。

【図8】第4の実施例を説明する図である。

【図9】第4の実施例を説明する図である。

【図10】第4の実施例を説明する図である。

【図11】第5の実施例を説明する図である。

【図12】第5の実施例を説明する図である。

【図13】第5の実施例を説明する図である。

【図14】第6の実施例を説明する図である。

【図15】第6の実施例を説明する図である。

【図16】第7の実施例を説明する図である。

【図17】第8の実施例を説明する図である。

【図18】第9の実施例を説明する図である。

【図19】従来例を説明する図である。

【図20】従来例を説明する図である。

【図21】従来例を説明する図である。

【図22】従来例を説明する図である。

【図23】従来例を説明する図である。

【図24】従来例を説明する図である。

【図25】従来例を説明する図である。

【図26】従来技術の課題を説明する図である。

【図27】従来技術の課題を説明する図である。

【図28】発明の効果の説明する図である。

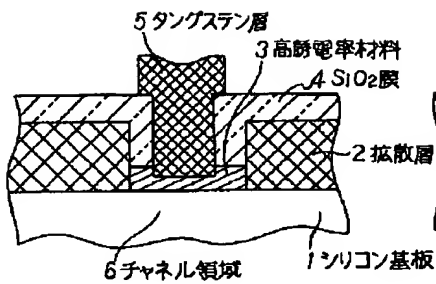
【図29】発明の効果の説明する図である。

【図30】発明の効果の説明する図である。

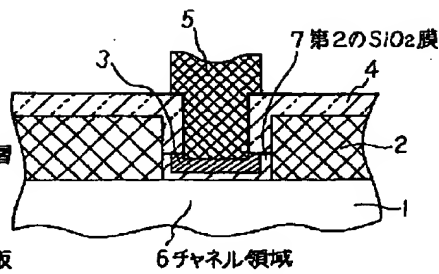
【符号の説明】

1, 11, 21, 31, 41, 51, 71, 81, 9
5, 111, 121, 131, 191 シリコン基板
43, 53, 93 SOI層
101, 199 半導体層
6, 56, 96, 134, 176, 192 チャネル領域
54 LDD領域
174 オフセット領域
2, 12, 22, 32, 47, 55, 72, 82, 9
7, 113, 122, 132, 172, 193 拡散層
102 ソース電極
103 ドレイン電極
4, 73, 83, 115, 123, 133, 173 SiO_2 膜
13, 23, 33, 59 第1の SiO_2 膜
7, 15, 24, 34, 58, 118 第2の SiO_2 膜
16, 36 第3の SiO_2 膜
17 第4の SiO_2 膜
44 PSG膜
14, 35 Si_3N_4 膜
92 ゲート酸化膜
112 フィールド酸化膜
105 誘電体層
3, 177 高誘電率材料
18, 25, 37, 45, 57, 75, 85, 116,
124 Ta_2O_5 膜
104 錫チタン酸バリウム層
106 タンタル酸バリウム層
194 絶縁膜
108 絶縁基板
42, 52, 94, 171, 198 埋め込み酸化膜
5, 19, 26, 38, 46, 60, 74, 84 タングステン層
114 タンタルシリサイド膜
125 アルミ層
91, 107, 117, 135, 175, 195 ゲート電極
119 配線電極
136 ゲート絶縁膜
196 容量C1
197 容量C2
200 容量C20
201 容量C21

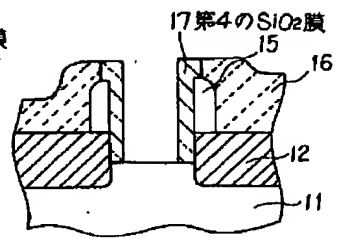
【図1】



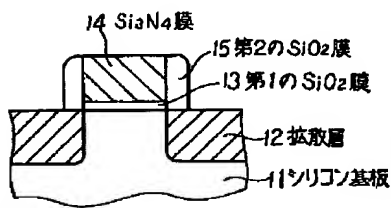
【図2】



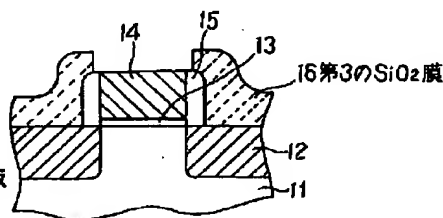
【図5】



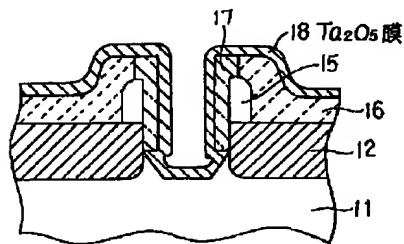
【図3】



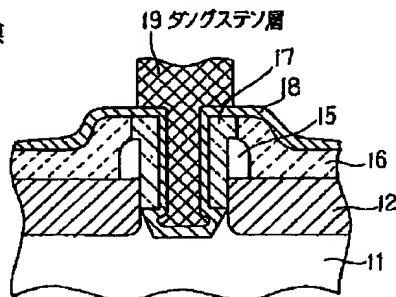
【図4】



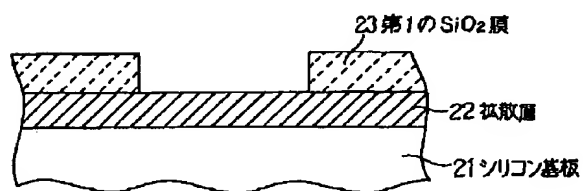
【図6】



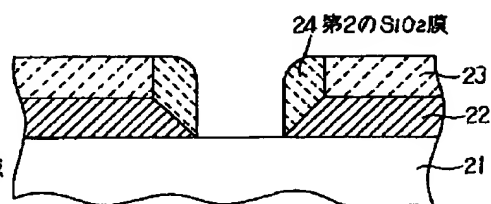
【図7】



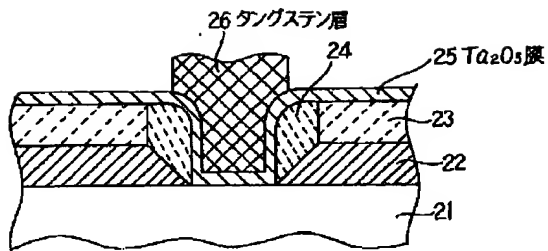
【図8】



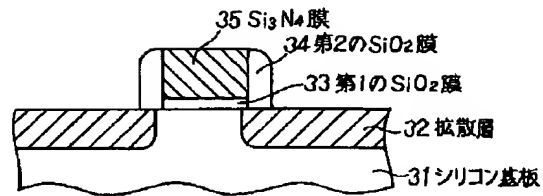
【図9】



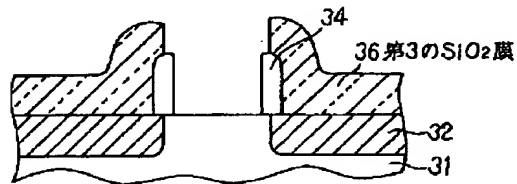
【図10】



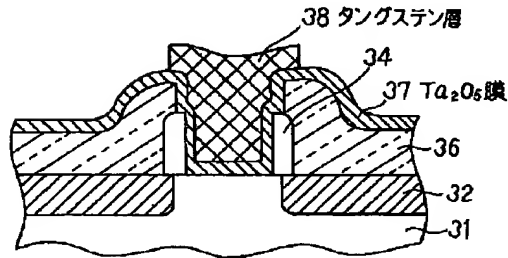
【図11】



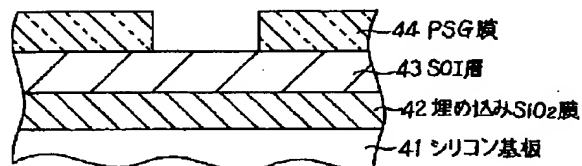
【図12】



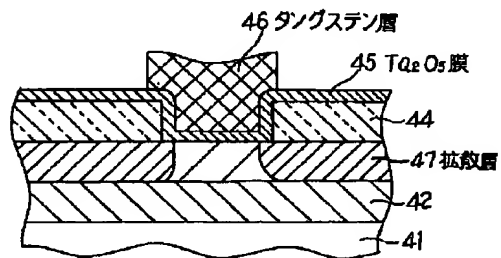
【図13】



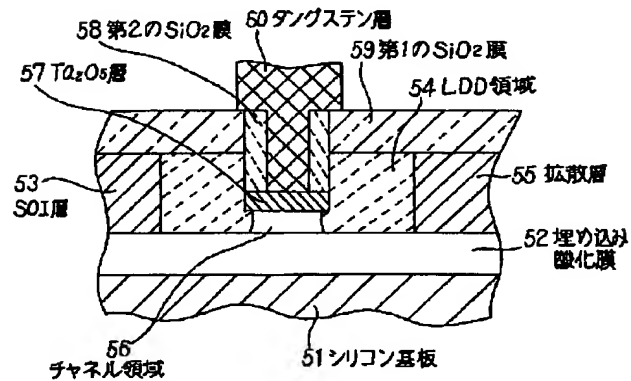
【図14】



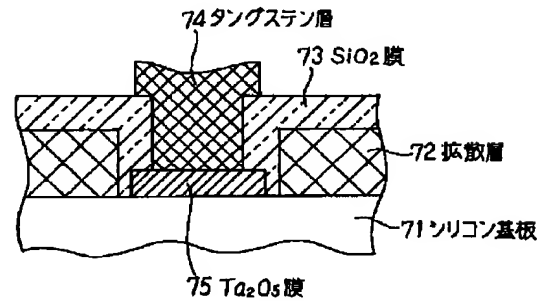
【図15】



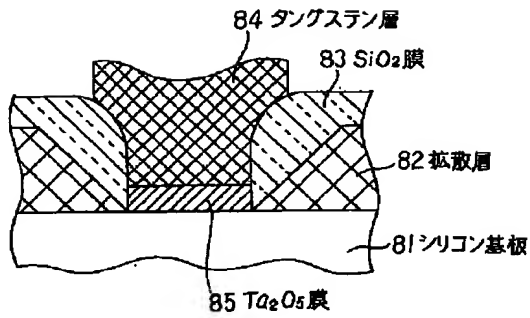
【図16】



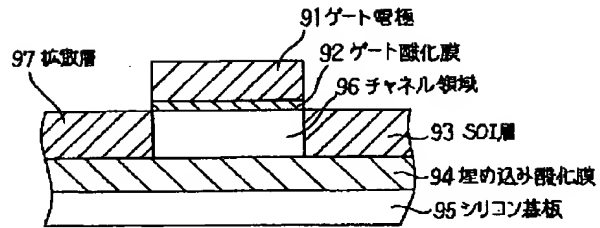
【図17】



【図18】

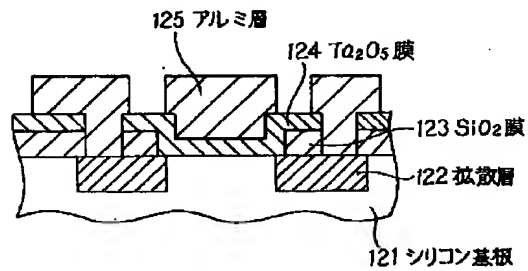
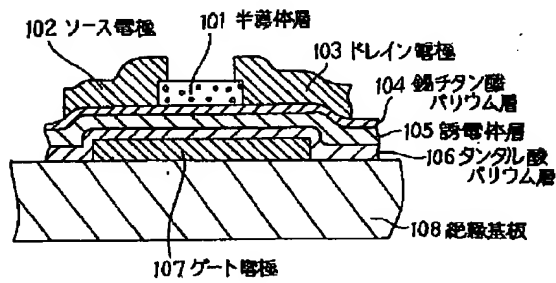


【図19】



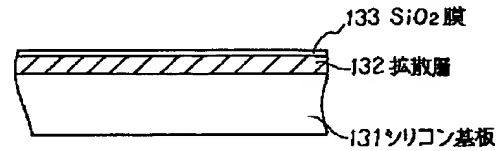
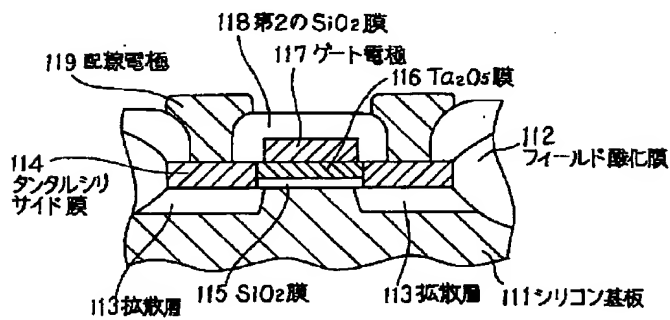
【図22】

【図20】

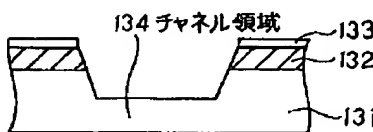


【図23】

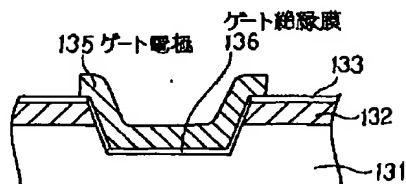
【図21】



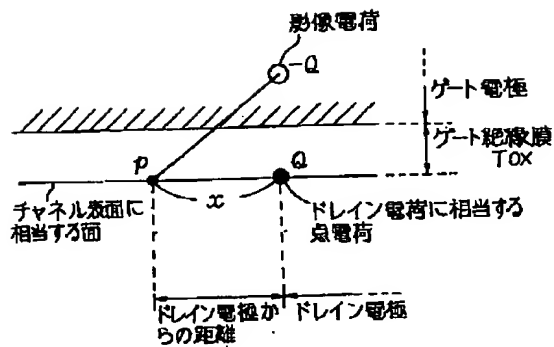
【図24】



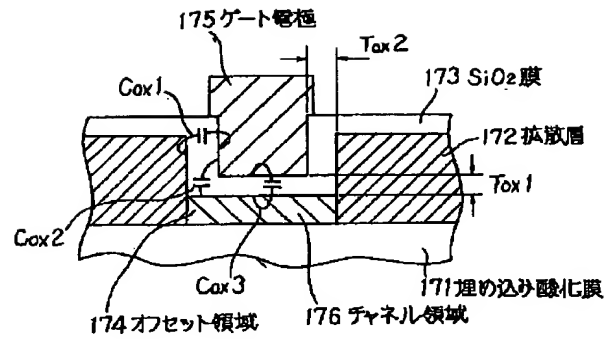
【図25】



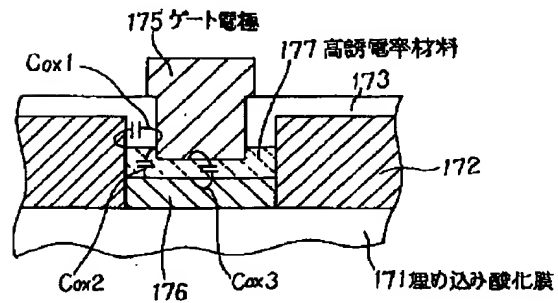
【図26】



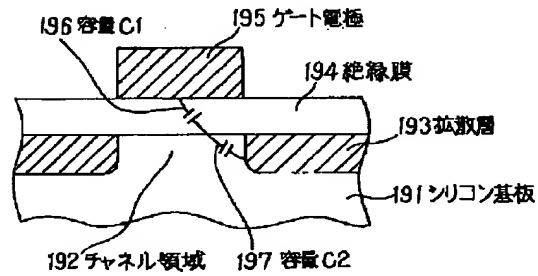
【図27】



【図28】



【図29】



【図30】

